

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号
特開2000-31280
(P2000-31280A)

(43) 公開日 平成12年1月28日 (2000.1.28)

(51) Int.Cl.⁷

識別記号

F I

テーマコード(参考)

H 0 1 L 21/768
21/28

H 0 1 L 21/90
21/28

C
L

審査請求 未請求 請求項の数10 O L (全 5 頁)

(21) 出願番号 特願平11-171020

(22) 出願日 平成11年6月17日 (1999.6.17)

(31) 優先権主張番号 09/099093

(32) 優先日 平成10年6月17日 (1998.6.17)

(33) 優先権主張国 米国 (US)

(71) 出願人 390039413

シーメンス アクチエンゲゼルシャフト
SIEMENS AKTIENGESSEL
LSCHAFT

ドイツ連邦共和国 D-80333 ミュンヘン
ヴィッテルスバッハープラッツ 2

(72) 発明者 ヨン-ジン バク

アメリカ合衆国 ニューヨーク ボーキー
ブシー キンダーフック ドライヴ 33

(74) 代理人 100061815

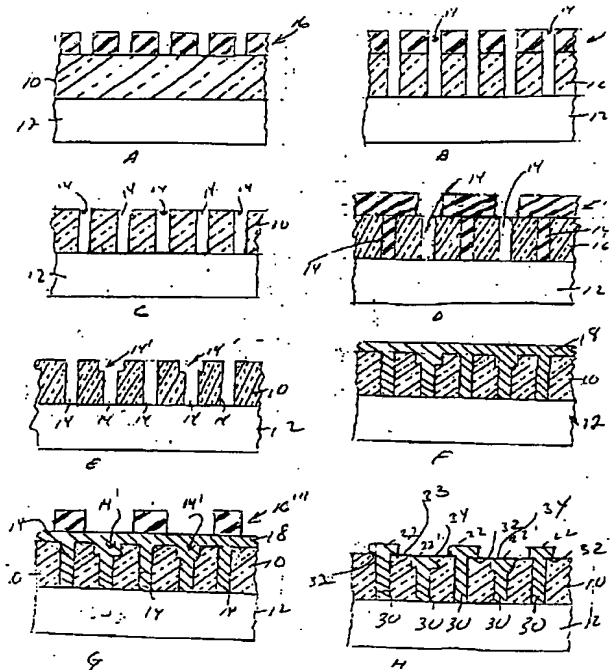
弁理士 矢野 敏雄 (外2名)

(54) 【発明の名称】 集積回路のためのメタライゼーション装置

(57) 【要約】

【課題】 集積回路のためのメタライゼーション装置を形成することである。

【解決手段】 基板とこの基板の上方に配置される誘電体層と複数の電気的導体路とを有しており、一部の導体路は誘電体層のレベルの上に配置されており、別の一部の導体路は切欠かれて誘電体層の表面部分に設けられている。また基板を形成し、誘電体層を基板の表面上に形成し、複数のビアホールを誘電体層内へ形成して誘電体層に通し、凹部を誘電体層の表面に形成してビアホールの部分で終端させ、メタライゼーション層を誘電体層の表面の上方に堆積する際にその一部をビアホールに通し、一部を凹部に設け、一部を誘電体層の表面上に設け、メタライゼーション層を複数の導体路を形成するようにパターン化し、導体路の一部を誘電体層の1つのレベル上に配置し、導体路の別の一部を凹部に配置する。



【特許請求の範囲】

【請求項 1】 基板と、

該基板の上方に配置される誘電体層と、
複数の電氣的導体路とを有しており、
一部の導体路は誘電体層の 1 つのレベルの上に配置され
ており、別の一部の導体路は切欠かれて誘電体層の表面
部分に設けられている、ことを特徴とする集積回路のた
めのメタライゼーション装置。

【請求項 2】 前記レベルの上の導体路の 1 つは、誘電
体層の表面部分まで切欠かれた導体路の 1 つに隣接して
いる、請求項 1 記載のメタライゼーション装置。

【請求項 3】 複数の導体路はそれぞれ誘電体層を通る
部分を有している、ことを特徴とするメタライゼーシ
ョン装置。

【請求項 4】 複数の導体路は相互に並列である、請求
項 3 記載のメタライゼーション装置。

【請求項 5】 複数の導体路の内、前記 1 つのレベル上
の導体路は誘電体層の上方の表面に配置される下方の表
面部分を有しており、誘電体層の表面部分まで切欠かれ
た導体路は上方の表面部分を有しており、誘電体層の上
方 20 の表面に沿って配置される、請求項 4 記載のメタライ
ゼーション装置。

【請求項 6】 基板は半導体基板である、請求項 5 記載
のメタライゼーション装置。

【請求項 7】 基板はメタライゼーション層である、請
求項 5 記載のメタライゼーション装置。

【請求項 8】 基板を形成し、
誘電体層を基板の表面上に形成し、
複数のビアホールを表面および誘電体層内へ形成して、
該ホールを誘電体層に通し、
凹部を誘電体層の表面に形成し、該凹部を誘電体層を通
る複数のビアホールの部分で終端させ、
メタライゼーション層を誘電体層の表面の上方に堆積
し、その際にメタライゼーション層の一部をビアホール
に通し、一部を凹部に設け、一部を誘電体層の表面上に
設け、
メタライゼーション層を複数の導体路を形成するように
パターン化し、該導体路の一部を誘電体層の 1 つのレベ
ル上に配置し、該導体路の別の一部を凹部に配置する、
ことを特徴とするメタライゼーション装置の形成方法。
【請求項 9】 基板は半導体基板である、請求項 8 記載
の方法。

【請求項 10】 基板はメタライゼーション層である、
請求項 8 記載の方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、集積回路のための
メタライゼーション装置、およびメタライゼーション装
置の形成方法に関する。本発明は特に、導体路間キャパ
シタンスの低減されたメタライゼーション装置に関す

る。

【0002】

【従来の技術】この技術分野で知られているように、現
行の電氣的導体路（例えばコンダクティングワイヤ）を
形成する手法は次の方法に分類されている。すなわち、
反応性イオンエッチング法（RIE 法）およびデュアル
ダマシン法である。

【0003】RIE 法では誘電体層 10 が半導体基板 1
2 上に形成される。これは図 1 の A に示されている。ビ
アホール 14 は誘電体層 10 の選択された領域を通るよ
うに、パターン化されたフォトレジストマスク 16 を用
いてエッチングされる。これは図 1 の B に示されてい
る。マスク 16 が除去されることが図 1 の C に示されて
いる。メタライゼーション層 18 はエッチングされた誘
電体層 12 の表面の上方に堆積されるが、これはエッチ
ングされたビアホール 14 全体にわたって図 1 の D に示
されるように行われる。第 2 のフォトレジスト層 20 は
図 1 の E に示されるようにパターン化され、メタライゼ
ーション層 18 の一部が露出される。このメタライゼー
ション層はメタライゼーション層 18 にパターン化され
る導体路を分離するためのものである。その後 RIE プ
ロセスが用いられてメタライゼーション層 18 の露出部
分が除去され、これにより誘電的に分離された導体路 2
2 が図 1 の F に示されるように形成される。

【0004】デュアルダマシン法を用いる場合も、誘電
体層 10 は半導体基板 12 の上方に、図 2 の A に示され
ているように形成される。ビアホール 14 は誘電体層 1
0 の選択された部分を通るように、パターン化されたフ
ォトレジストマスク 16 を用いてエッチングされる。こ
れは図 2 の B に示されている。マスク 16 が除去される
ことが図 2 の C に示されている。第 2 のフォトレジスト
層 16' は誘電体層 10 の上方に形成され、パターン化
されて、ビアホール 14 の周囲 15 に存在する誘電体層
10 の表面部分が露出される。これは図 2 の D に示され
ている。誘電体層 10 の露出された表面の部分はエッチ
ングされ、凹部 14' が誘電体層 10 内でビアホール 1
4 の上方部分の周囲に、図 2 の E に示されているように
形成される。メタライゼーション層 18 はエッチングさ
れた誘電体層 10 の表面の上方に堆積され、このメタラ
イゼーション層の一部はビアホール 14 を通り、メタラ
イゼーション層の他の部分は凹部 14' に配置される。
ただしメタライゼーション層 18 の他の部分は誘電体層
10 の表面に配置される。これは図 2 の F に示されてい
る。誘電体層 10 の上方の表面に存在するメタライゼー
ション層 18 の部分は、例えば化学的機械的研磨（CMP）
によって除去され、これにより誘電的に分離された
導体路が図 2 の G に示されているように形成される。導
体路 22' の上方の表面部分は他のデバイスまたは他の
メタライゼーション層への接続のために露出されるが、
このことは図示されておらず、メタライゼーション層 1

3

8の上方にいずれの装置が形成されてもよいことに注意されたい。

【0005】これらの2つの手法において、隣接する導体路22、22'間のキャパシタンスがこれらの隣接する導体路間の距離dに反比例する。したがってデバイス密度が増大すると相応に距離dは低減され、隣接する導体路間のキャパシタンスは増大する。キャパシタンスの増大により、導体路22、22'を介して信号の通過が遅延される。

【0006】

【発明が解決しようとする課題】本発明の課題は、集積回路のためのメタライゼーション装置を形成することである。

【0007】

【課題を解決するための手段】この課題は、基板と、この基板の上方に配置される誘電体層と、複数の電気的導体路とを有しており、一部の導体路は誘電体層の1つのレベルの上に配置されており、別の一部の導体路は切欠かれて誘電体層の表面部分に設けられている構成により解決される。課題はまた、基板を形成し、誘電体層を基板の表面上に形成し、複数のビアホールを表面および誘電体層内へ形成して、このホールを誘電体層に通し、凹部を誘電体層の表面に形成し、この凹部を誘電体層を通る複数のビアホールの部分で終端させ、メタライゼーション層を誘電体層の表面の上方に堆積し、その際にメタライゼーション層の一部をビアホールに通し、一部を凹部に設け、一部を誘電体層の表面上に設け、メタライゼーション層を複数の導体路を形成するようにパターン化し、導体路の一部を誘電体層の1つのレベル上に配置し、導体路の別の一部を凹部に配置して解決される。

【0008】

【発明の実施の形態】メタライゼーション層は誘電体層の表面の上に堆積されており、メタライゼーション層の一部はビアホールを通過しており、メタライゼーション層の別の部分は凹部に配置され、さらに別の部分は誘電体層の表面に配置される。メタライゼーション層は複数の導体路となるようにパターン化され、導体路の一部は誘電体層の1つのレベルに配置され、導体路の他の部分は凹部に配置される。

【0009】このような手法により、電気的導体路はただ1つのマスクングエッチングステップを用いて異なるレベルに形成され、誘電体層を通るビアホールが形成される。またただ1つのメタライゼーションデポジションステップを用いて、2つのレベルの導体路を形成するメタライゼーション層が堆積される。

【0010】本発明の別の特徴によれば、集積回路のためのメタライゼーション装置が作成される。この装置は基板を有し、この基板は基板上に配置される誘電体層を有する。複数の電気的導体路が設けられており、これらの導体路の一部は誘電体層の1つのレベル上に配置さ

4

れ、導体路の他の部分は誘電体層の表面部分に切欠かれた状態で設けられている。

【0011】本発明の別の特徴によれば、上述の1つのレベルの導体路の1つは、誘電体層の表面の部分まで切欠かれた導体路の1つに隣接している。

【0012】本発明の別の特徴によれば、複数の導体路はそれぞれ誘電体層を通過する部分を有する。

【0013】本発明の別の特徴によれば、複数の導体路は相互に並列である。

10 【0014】本発明の別の特徴によれば、複数の導体路の上述の第1の部分は下方の表面部分を有しており、この部分は誘電体層の上方の表面上に配置されており、ここで誘電体層の表面部分まで切欠かれた導体路は、誘電体層の上方の表面に沿って配置された上方の表面部分を有している。

【0015】

【実施例】本発明の他の特徴を、貼付した図面と併せて以下に詳細に説明する。

20 【0016】図3のAによれば、基板12、ここでは例えば半導体基板が複数の能動デバイスを有する形で形成されるが、詳細には図示されていない。誘電体層10は基板12の表面の上方に形成される。複数のビアホール14が誘電体層10を通過して図3のCに示されているように形成される。これは図3のBに示されているエッチングマスク16を用いて、従来のフォトリソグラフィエッチング技術で行われる。ホール14は誘電体層10を通過して基板10までエッチングされる。第2のマスク16''は図3のDに示されているように、構造体上に形成される。マスク16''は図2のDのマスク16'に類似であることに注意されたい。ただしこの場合、マスク16''の開口は隣接する部分間のホール14をカバーしている。凹部14'は、マスク16''の開口によって露出された誘電体層10の上表面の上方部分により形成される。このことは図3のEに示されている。凹部14'は、誘電体層10を通過している複数のビアホール14'の上方部分で終端している。メタライゼーション層18は誘電体層10の上表面の上方まで、図3のFに示されているように設けられる。メタライゼーション層18のビアホール14を通過している部分と凹部14'に存在するメタライゼーション層18の他の部分とがあり、メタライゼーション層18のさらに別の部分は誘電体層18の上方表面に存在する。このことは図3のFに示されている。メタライゼーション層18はマスク16'''により図3のGに示されているようにマスクされる。メタライゼーション層18は複数の導体路22、22'を形成するようにマスク16'''によりRIEプロセスを用いてパターン化され、図3のHに示される構造体を作成される。導体路22の一部は誘電体層10の1つのレベル上に存在しており、導体路の別の部分22'は凹部14に存在している。このことは図3のHに示されている。

50

5

【0017】個々には、図3のAによれば半導体基板12上に形成される誘電体層10は二酸化ケイ素であるが、他の誘電体材料を使用してもよいことが理解される。ビアホール16は誘電体層10を通るように、パターン化されたフォトリソマスクを用いてエッチングされる。このことは図3のBに示されている。ホールは、形成すべき電氣的導体路間の分離のために所望されるピッチでエッチングされる。第2のフォトリソ層16''は誘電体層10上に形成され、ビアホール14の周囲に配置される誘電体層10の表面の部分が露出されるようにパターン化されている。このことは図3のDに示されている。マスク16''のアーチャはビアホール14の1つおきに形成されることに注意すべきである。露出された誘電体層10の表面部分はエッチングされ、凹部14'が誘電体層10内でビアホールの周囲に形成される。これは図3のDに示されている。凹部14'はビアホール14の1つおきの上方部分に形成されることに注意すべきである。

【0018】メタライゼーション層18（図3のF参照）はエッチングされた誘電体層10の表面上方に堆積される。ここでビアホール14内を通っているメタライゼーション層18の部分は凹部14'にも存在しており、メタライゼーション層18の他の部分は誘電体層10の表面に配置されている。これは図3のGに示されているように、メタライゼーション層18の上方に配置されている。マスク16'''の開口は凹部14'の上方のみに位置しており、その際にこのマスク16'''は、凹部14'を有さないビアホール14の上方に配置されることに注意すべきである。マスク16'''はメタライゼーション層18をパターン化するエッチングマスクとして用いられ、このことは図3のHに示されている。このようにメタライゼーション層（図3のGを参照）は電氣的導体路22、22'を形成するようにパターン化される。より正確に言えば、RIEプロセスが使用されてメタライゼーション層18の露出している部分が除去され、これにより誘電的に分離された導体路22、22'が図3のFに示されるように形成される。

【0019】このようにして、図3のHないし図4に示されるようにメタライゼーション装置が集積回路のために作成され、この装置では半導体基板12はこの基板上に配置される誘電体層10を有する。複数の電氣的導体路22、22'が設けられており、導体路の一部すなわち誘電体層の1つのレベル上に配置されている部分22はここでは誘電体層10の上方部分に配置されており、導体路の他の部分22'は誘電体層10の表面部分に存在している。複数の導体路22、22'はそれぞれ誘電体層10を通る部分30を有している。複数の導体路22、22'は相互に平行に、紙面に対して垂直方向に延在している。導体路22は下方の表面部分32を有して

6

おり、この表面部分は誘電体層10の上方の表面33に配置されている。誘電体層10の表面に存在する複数の導体路22'は上方の表面部分34を有しており、この表面部分は誘電体層10の上方の表面33に沿って配置されている。このように隣接する導体路22、22'間の距離は、隣接する22、22'のサイドウォールに沿って、図2のGに関連する上述の距離dよりも大きくなる。例えば図2によれば、距離dは隣接する導体路20、22間のピッチであるが、実際の距離d'は隣接する導体路22、22'での電流を有する部分が離れているので、ピッチdよりも大きくなる。さらに、同じ平面上の隣接する導体路（例えばそれぞれの導体路22、22'）間の距離d''、d'はピッチdよりも大きい。

【0020】上述のプロセスは種々の導電材料を用いて行うことができる点を理解すべきである。例えばドーブされたアモルファスまたは多結晶シリコン、またはチタニウム、窒化チタニウム、窒化タングステン、アルミニウム、コバルト、タンタル、窒化タンタル、銅、銀、金、白金、ルビジウム、酸化ルビジウム、イリジウムまたは酸化イリジウムの内の1つまたは複数の組合せを含む金属を使用可能である。また、メタライゼーション層のパターン化はこのメタライゼーション層をエッチングすることにより行われ、その際に例えば反応性イオンエッチング、イオンミリング、異方性ドライエッチング、またはピッチが比較的大きい場合にはウェットエッチングが用いられる。導体路は例えばDRAMセルのワード線、ビット線、アドレス線、およびコントロールクロック線として使用することもできるし、また例えば通常の半導体デバイスのデータバス線および入力/出力線として使用することもできる。

【0021】図3のAからHに関連する上述のプロセスは、導体路の第2の層を形成するために用いることもできる点に注意されたい。

【0022】その他の実施態様は請求項に記載された範囲に基づく。例えば上述の基板12は半導体基板であるが、この基板はメタライゼーション層であってもよい。

【図面の簡単な説明】

【図1】従来技術による半導体メタライゼーション装置の概略的な断面図である。

【図2】従来技術による半導体メタライゼーション装置の概略的な断面図である。

【図3】本発明による半導体メタライゼーション装置の概略的な断面図である。

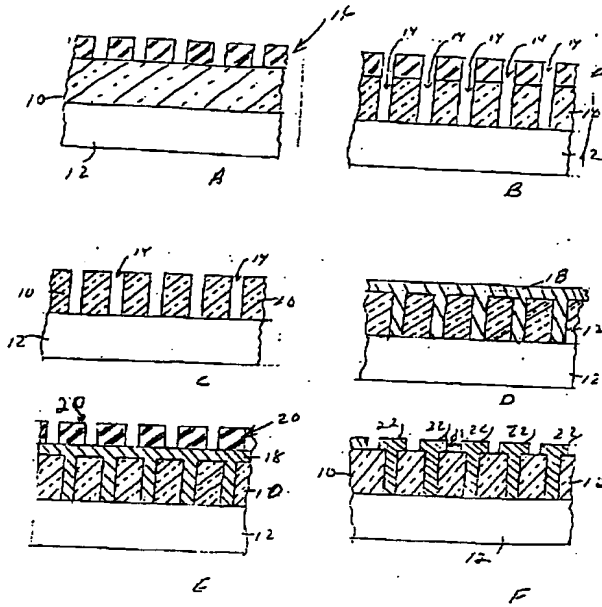
【図4】図3のHの部分を示す概略図である。

【符号の説明】

- 10 誘電体層
- 12 基板
- 14、14' ホール
- 16、16'、16''、16'''、20 マスク
- 18 メタライゼーション層

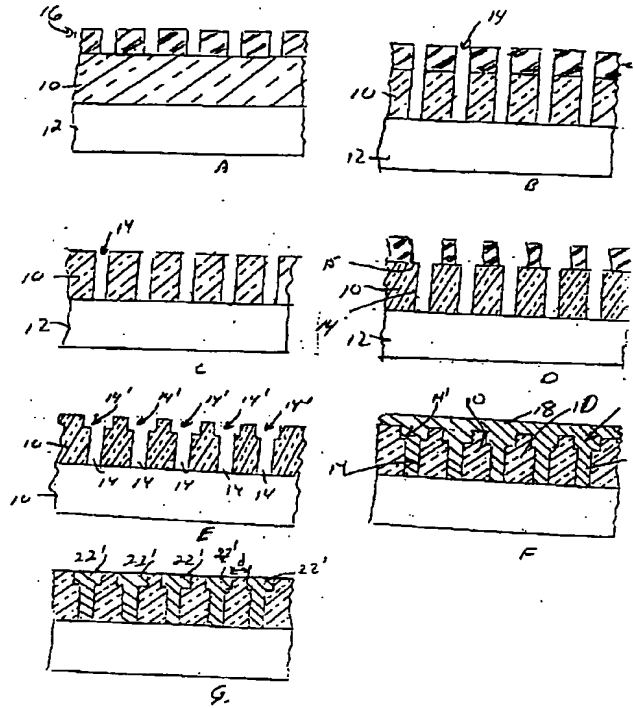
22、22' 導电路

【図1】

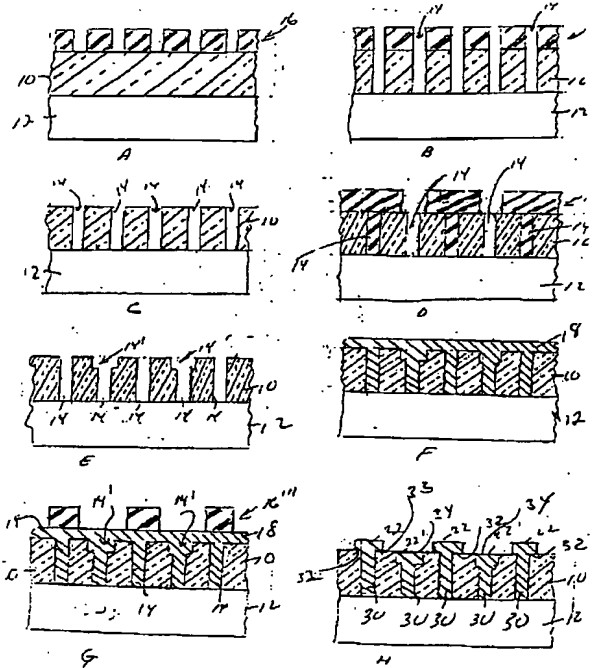


* * d 距離

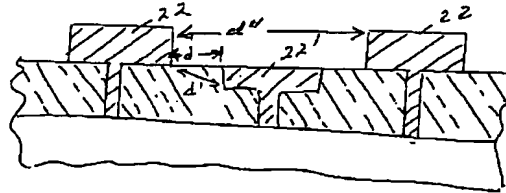
【図2】



【図3】



【図4】



$$d', d'' > d$$

THIS PAGE BLANK (USPTO)